

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



COPY OF PAPERS
ORIGINALLY FILED

3700

037
#7
8.6

Docket No.: WMP-IFT-007

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nolf Date: January 31, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Thomas Theobald et al.
Applic. No. : 10/026,241
Filed : December 21, 2001
Title : Circuit Configuration for Driving a Semiconductor Switching Element and Method for Same

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 100 64 123.7, filed December 21, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolf

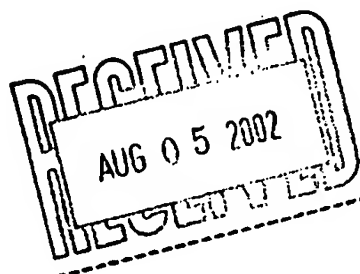
For Applicants

Date: January 31, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

MARKUS NOLFF
REG. NO. 37,006



RECEIVED
MAY 17 2002
TECHNOLOGY CENTER 3709
TECHNOLOGY CENTER 2800

BUNDESREPUBLIK DEUTSCHLAND



RECEIVED
MAY 17 2002
TECHNOLOGY CENTER 2000

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 64 123.7
Anmeldetag: 21. Dezember 2000
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: . Schaltungsanordnung zur Ansteuerung
eines Halbleiterbauelements
IPC: H 03 K, F 02 P

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Januar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Joost

WESTPHAL, MUSSGNUG & PARTNER
Patentanwälte · European Patent Attorneys

ift007

Infineon Technologies AG
St.-Martin-Str.53
81541 München

- Patentanmeldung -

Schaltungsanordnung zur Ansteuerung eines
Halbleiterbauelements

Beschreibung

Schaltungsanordnung zur Ansteuerung eines Halbleiterschalt-
elements

5

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Ansteuerung eines Halbleiterschaltelements, insbesondere eines Halbleiterschaltelements, welches in einer Vorrichtung zur Erzeugung eines Zündfunken in einem Automobil verschaltet ist.

10

Eine solche Vorrichtung zur Erzeugung eines Zündfunken mit einem Halbleiterschaltelement ist in Figur 1 dargestellt. Die Vorrichtung weist einen Transformator TR mit einer Primärspule L1, einen Leistungstransistor T und eine Zündkerze Z auf. Der Leistungstransistor T ist insbesondere als IGBT (=Insulated Gate Bipolar Transistor) oder als sogenannte Leistungs-Darlington-Bipolarstufe ausgebildet und in Reihe zu der Primärspule L1 zwischen zwei Versorgungspotentialen V+, GND verschaltet. Die Zündkerze Z ist in Reihe zu der Sekundärspule L2 des Transformators TR geschaltet. Zwei in Reihe zwischen den Kollektoranschluß und den Gate-Anschluß des in dem Beispiel als IGBT ausgebildeten Leistungstransistors geschaltete Dioden D1, D2 dienen zur Begrenzung der Kollektor-Emitter-Spannung des Transistors T, indem der Transistor T über diese beiden Dioden D1, D2 leitend angesteuert wird, wenn das Potential an dem Kollektor K über ein vorgegebenes Maß ansteigt.

Wird der Leistungstransistor T durch Anlegen eines geeigneten Ansteuerpotentials an dessen Gate-Elektrode G leitend angesteuert, fließt ein Strom durch die Primärspule L1, wodurch die Primärspule L1 Energie aufnimmt. Wird der Leistungstransistor T anschließend gesperrt, wird durch die Primärspule eine hohe Spannung im Stromkreis der Primärspule induziert, wobei diese hohe Spannung, bzw. die in der Primärspule gespeicherte Energie, an die Sekundärseite übertragen wird und

30

35

dort zur Erzeugung eines Zündfunken in der Zündkerze Z führt.

Bei derartigen Vorrichtungen können Störfälle eintreten, bei
5 welchen unter allen Umständen die Erzeugung eines Zündfunken
verhindert werden soll, auch dann, wenn der Leistungstransistor T bereits leitet und die Primärspule L1 bereits Energie aufgenommen hat. Ein bloßes Abschalten des Leistungstransistors T würde in diesem Fall zur Erzeugung eines Zündfunken
10 führen.

Zur Vermeidung eines Zündfunken bei derartigen Störfällen ist es bekannt, den Kollektor des Leistungstransistors durch geeignete Schaltungsmaßnahmen umzuschalten und dadurch auf
15 einen Potentialwert zu legen, bei welchem kein Zündfunke erzeugt wird.

Bei sogenannten intelligenten Leistungstransistoren die in Chip-on-Chip-Technologie gefertigt sind, besteht hierbei das
20 Problem, daß der Kollektor des Leistungstransistors nicht zugänglich ist. Bei dieser Technologie wird der Leistungstransistor in einem Halbleiterkörper realisiert und eine Ansteuererschaltung, Schutzschaltungen des Transistors und dergleichen sind in einem zweiten Halbleiterkörper realisiert, der
5 auf dem ersten Halbleiterkörper befestigt ist.

Wegen der vielfältigen zusätzlichen Funktionen, insbesondere wegen integrierter Schutzschaltungen, die bei Kurzschluß der Last einsetzen, um den Leistungstransistor zu schützen, ist
30 es auch für Vorrichtungen zur Erzeugung von Zündfunken angestrebt, intelligente Leistungstransistoren, sogenannte Smart-FET oder Smart-IGBT einsetzen zu können.

Ziel der vorliegenden Erfindung ist es daher, eine Schaltungsanordnung zur Ansteuerung eines Leistungstransistors, insbesondere eines Leistungstransistors in einer Vorrichtung zur Erzeugung eines Zündfunken, zur Verfügung zu stellen,

bei welcher bei Auftreten eines Störfalles gewährleistet ist, daß kein Zündfunken erzeugt wird.

Diese Aufgabe wird durch eine Schaltungsanordnung gemäß der
5 Merkmale des Patentanspruchs 1 gelöst.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

- 10 Die erfindungsgemäße Schaltungsanordnung zur Ansteuerung eines Halbleiterschaltelements weist eine Ausgangsklemme zum Anschließen des Halbleiterschaltelements, eine kapazitive Ladungsspeicheranordnung, die an die Ausgangsklemme gekoppelt ist, eine Lade- und Entladeschaltung, die an die kapazitive
15 Ladungsspeicheranordnung angeschlossen ist, und eine Entladeschaltung, die an die kapazitive Ladungsspeicheranordnung angeschlossen ist, auf. Die Lade- und Entladeschaltung weist dabei wenigstens einen Eingang auf, dem wenigstens ein Ansteuersignal zugeführt ist, wobei abhängig von dem wenigstens
20 einen Ansteuersignal an einem Ausgang der Lade- und Entladeschaltung ein Ladestrom oder ein Entladestrom für die kapazitive Ladungsspeicheranordnung oder kein Strom zur Verfügung steht.
- 5 Die kapazitive Ladungsspeicheranordnung, die an den Ausgang angeschlossen ist, dient dazu, ein Ansteuerpotential für ein an die Ausgangsklemme anschließbares Halbleiterschaltelement, insbesondere einen Leistungstransistor, zur Verfügung zu stellen. Die Spannung über der Ladungsspeicheranordnung bzw.
30 das Ansteuerpotential steigt dabei an, wenn die Ladungsspeicheranordnung Strom von der Lade- und Entladeschaltung aufnimmt, und diese Spannung, bzw. das Ansteuerpotential, sinken, wenn die Ladungsspeicheranordnung entladen wird.
- 35 Die Lade- und Entladeschaltung ist dabei derart ausgestaltet, daß sie in der Lage ist, die kapazitive Ladungsspeicheranordnung vergleichsweise schnell zu laden und auch vergleichsweise

se schnell zu entladen. Ein an die Ausgangsklemme angeschlossener Leistungstransistor leitet, wenn die Ladungsspeicheranordnung aufgeladen ist und er sperrt, wenn die Ladungsspeicheranordnung entladen ist. Im störungsfreien Betrieb wird
5 die kapazitive Ladungsspeicheranordnung daher über die Lade- und Entladeschaltung schnell aufgeladen, um den angeschlossenen Leistungstransistor leitend anzusteuern, und die kapazitive Ladungsspeicheranordnung wird über die Lade- und Entladeschaltung schnell entladen, um den angeschlossenen Leistungstransistor zu sperren. Die Zeitdauer, innerhalb derer
10 die Ladungsspeicheranordnung über die Lade- und Entladeschaltung entladen wird, bzw. innerhalb derer der Leistungstransistor vom leitenden in den sperrenden Zustand übergeht, ist dabei auf die weitere Verschaltung des Leistungstransistors
15 abstimmbare und auf eine so geringe Zeitdauer einstellbar, daß bei Abschalten des Leistungstransistors eine ausreichende Spannung in einer angeschlossenen Primärspule eines Transformators induziert wird, so daß ein Zündfunken in einer an der Sekundärseite des Transformators angeschlossenen Zündspule
20 erzeugt wird.

Die Entladeschaltung stellt vorzugsweise einen konstanten Entladestrom für die Ladungsspeicheranordnung zur Verfügung, wobei dieser Entladestrom wesentlich geringer als ein Entladestrom der Lade- und Entladeschaltung und auch wesentlich
5 geringer als ein Ladestrom der Lade- und Entladeschaltung ist. Die Entladeschaltung, die der Ladungsspeicheranordnung vorzugsweise permanent Strom entnimmt, beeinflusst die Funktionsweise der Schaltungsanordnung im störungsfreien Betrieb,
30 bei dem die Ladungsspeicheranordnung abwechselnd über die Lade- und Entladeschaltung geladen und entladen wird, nicht.

Bei Auftreten eines Störfalles ist die Lade- und Entladeschaltung über das Ansteuersignal derart ansteuerbar, daß sie keinen Strom an ihrer Ausgangsklemme zur Verfügung stellt. In
35 diesem Fall wirkt nur noch die Entladeschaltung, welche der Ladungsspeicheranordnung kontinuierlich Strom entnimmt, bis

- diese vollständig entladen ist. Dieser Entladestrom ist dabei so auf die Kapazität der Ladungsspeicheranordnung abgestimmt, daß die durch den Entladestrom über der Ladungsspeicheranordnung hervorgerufene Spannungsänderung so klein ist, daß der
- 5 an die Ausgangsklemme angeschlossene Leistungstransistor so langsam von einem leitenden in einen sperrenden Zustand übergeht, so daß es nicht zur Erzeugung eines Zündfunken in einer sekundärseitig angeschlossenen Zündkerze kommt.
- 10 Die Erzeugung eines Zündfunken kann mittels der erfindungsgemäßen Schaltungsanordnung ausschließlich durch Ansteuerung des Steueranschlusses, das heißt des Gate-Anschlusses bei Verwendung von MOSFET oder IGBT als Halbleiterschaltetelemente, verhindert werden, indem der Leistungstransistor bei Auftreten
- 15 eines Störfalles sehr langsam vom leitenden Zustand in einen sperrenden Zustand überführt wird.

Die kapazitive Ladungsspeicheranordnung besteht im einfachsten Fall aus einem Kondensator, wobei beliebige weitere Ladungsspeicheranordnungen einsetzbar sind.

20

- Gemäß einer Ausführungsform der Erfindung ist vorgesehen, daß die Entladeschaltung einen Bipolartransistor und eine Stromquelle aufweist, wobei die Basis des Bipolartransistors an
- 5 die kapazitive Ladungsspeicheranordnung angeschlossen ist und die Stromquelle an den Emitter des Bipolartransistors angeschlossen ist. Der Entladestrom der Entladeschaltung ist bei diesem Ausführungsbeispiel der Basis-Emitter-Strom des Bipolartransistors. Mittels einer derartigen Entladeschaltung
- 30 sind Entladeströme im Nanoampere-Bereich realisierbar, wodurch bei Auftreten eines Störfalles eine ausreichend langsame Entladung der Ladungsspeicheranordnung und somit ein ausreichend langsames Sperren des Halbleiterschalters gewährleistet ist.

35

Nach einer weiteren Ausführungsform der Erfindung weist die Lade- und Entladeschaltung einen ersten und einen zweiten

steuerbaren Schalter mit jeweils einem Steuereingang auf, die in Reihe zwischen einem ersten und einem zweiten Versorgungspotential verschaltet sind. Der erste und zweite Schalter sind dabei mittels einer Ansteuerschaltung, der das wenigstens eine Ansteuersignal zugeführt ist, ansteuerbar. Die Ansteuerschaltung ist dabei derart ausgebildet, daß sie den ersten und zweiten Schalter im störungsfreien Betrieb komplementär ansteuert, das heißt nur jeweils einen der beiden Schalter leitend ansteuert, um dadurch die Ladungsspeicheranordnung entweder an das erste Versorgungspotential oder an das zweite Versorgungspotential anzuschließen, um die Ladungsspeicheranordnung entweder zu laden oder zu entladen. Die Ansteuerschaltung ist weiterhin dazu ausgebildet, bei Auftreten eines Störfalles beide Schalter zu sperren, um sowohl eine Stromabgabe an die Ladungsspeicheranordnung als auch eine Stromaufnahme von der Ladungsspeicheranordnung zu verhindern.

Vorzugsweise weist die Ansteuerschaltung eine erste Eingangsklemme zur Zuführung eines ersten Ansteuersignals und eine zweite Eingangsklemme zur Zuführung eines zweiten Ansteuersignals auf, wobei der erste und zweite Schalter nach Maßgabe des ersten Ansteuersignals während des störungsfreien Betriebs komplementär angesteuert werden und wobei das zweite Ansteuersignal zur Anzeige eines Störfalles dient und beide Schalter gesperrt werden, wenn das zweite Ansteuersignal einen vorgegebenen Pegel annimmt, der einen Störfall repräsentiert.

Vorteilhafterweise ist ein Operationsverstärker zwischen die Ladungsspeicheranordnung und die Ausgangsklemme der Schaltungsanordnung geschaltet. Der Operationsverstärker besitzt vorzugsweise eine Verstärkung von 1 und sorgt dafür, daß die über der Ladungsspeicheranordnung anliegende Spannung auch an dem Steueranschluß eines angeschlossenen Leistungstransistors anliegt. Der Operationsverstärker ist dabei insbesondere erforderlich, um ein Ansteigen des Ansteuerpotentials des Leis-

tungstransistors über das Potential an der Ladungsspeicheranordnung, beispielsweise bedingt durch eine Miller-Kapazität, die in dem Leistungstransistor vorhanden sein kann, zu verhindern.

5

Gegenstand der vorliegenden Erfindung ist des weiteren ein Verfahren zur Ansteuerung eines Halbleiterschaltlements, das einen Steuereingang und eine Laststrecke aufweist, wobei die Laststrecke in Reihe zu einer Primärspule eines Übertragers geschaltet ist und wobei eine Zündfunkenerzeugungsanordnung in Reihe zu einer Sekundärspule des Übertragers geschaltet ist.

Das Verfahren sieht zur Erzeugung eines Zündfunkens vor, eine Ansteuerspannung an den Steuereingang des Halbleiterschaltlements anzulegen, die ausreichend groß ist, um den Halbleiterschalter leitend anzusteuern. Zur Erzeugung eines Zündfunkens ist dabei vorgesehen, die Ansteuerspannung des Halbleiterschaltlements zu reduzieren, wobei die Änderung der Ansteuerspannung so schnell erfolgt, daß die über der Laststrecke induzierte Spannung ausreicht, um in der Zündfunkenerzeugungsvorrichtung an der Sekundärseite des Übertragers einen Zündfunken zu erzeugen. Bei Auftreten eines Störfalles, bei dem trotz bereits leitendem Halbleiterschaltlement die Erzeugung eines Zündfunkens verhindert werden soll, sieht das erfindungsgemäße Verfahren vor, die Ansteuerspannung des Halbleiterschaltlements so langsam zu reduzieren, daß die über der Laststrecke induzierte Spannung nicht ausreicht, um in der Zündfunkenerzeugungsvorrichtung einen Zündfunken zu erzeugen.

Ein solches Verfahren ist mittels der erfindungsgemäßen Schaltungsanordnung durchführbar.

Die erfindungsgemäße Schaltungsanordnung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. In den Figuren zeigt

- Figur 2 ein Blockschaltbild einer erfindungsgemäßen Schaltungsanordnung zur Ansteuerung eines Halbleiterschaltelements und ein an die Schaltungsanordnung angeschlossenes Halbleiterschaltelement,
- 5
- Figur 3 eine erfindungsgemäße Schaltungsanordnung mit einer Lade- und Entladeschaltung und einer Entladeschaltung gemäß einer Ausführungsform der Erfindung,
- 10
- Figur 4 ein Ausführungsbeispiel einer Ansteuerschaltung der Lade- und Entladeschaltung,
- Figur 5 ein weiteres Ausführungsbeispiel einer Entladeschaltung,
- 15
- Figur 6 zeitliche Verläufe ausgewählter in Figur 1 eingezeichneter Signale über der Zeit.

In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Teile mit gleicher Bedeutung.

20

Figur 2 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung 1 zur Ansteuerung eines Halbleiterschaltelements. Die Schaltungsanordnung 1 weist eine Ausgangsklemme AK auf, an die in Figur 2 zur Veranschaulichung der Funktion der Schaltungsanordnung 1 ein als IGBT ausgebildeter Leistungstransistor T angeschlossen ist, der in Reihe zu einer Primärspule L1 eines Übertragers an eine Versorgungsspannung V+ angeschlossen ist. An eine Sekundärspule L2 des Transformators TR ist dabei eine Zündkerze Z zur Erzeugung eines Zündfunken angeschlossen.

25

30

Die Ausgangsklemme AK dient zur Bereitstellung eines Ansteuerpotentials Uc für den Leistungstransistor T, dessen Gate-Anschluß an die Ausgangsklemme AK angeschlossen ist. Die Erzeugung des Ansteuerpotentials Uc erfolgt bei der Schaltungsanordnung 1 nach dem Ausführungsbeispiel abhängig von einem

35

ersten Ansteuersignal IN, das einer ersten Anschlußklemme E1 der Schaltungsanordnung zugeführt ist und nach Maßgabe eines zweiten Ansteuersignals SSD, das einer zweiten Anschlußklemme E2 der Schaltungsanordnung 1 zugeführt ist.

5

Die Schaltungsanordnung 1 weist eine Lade- und Entladeschaltung 10, eine in dem Ausführungsbeispiel als Kondensator C ausgebildete kapazitive Ladungsspeicheranordnung und eine Entladeschaltung 20 auf. Der Lade- und Entladeschaltung 10 sind dabei das erste Ansteuersignal IN und das zweite Ansteuersignal SSD zugeführt und eine Ausgangsklemme A1 der Lade- und Entladeschaltung 10 ist an den Kondensator C angeschlossen, dessen der Lade- und Entladeschaltung 10 abgewandter Anschluss an ein Versorgungspotential GND, vorzugsweise Masse, 15 angeschlossen ist. Die Entladeschaltung 20 weist eine Ausgangsklemme A2 auf, die ebenfalls an den Kondensator C angeschlossen ist.

Die Lade- und Entladeschaltung 10 liefert nach Maßgabe des 20 ersten und zweiten Ansteuersignals IN, SSD einen Strom I1 an die Ausgangsklemme A1, der je nach Vorzeichen des Stromes I1 den Kondensator C lädt oder entlädt. Die Entladeschaltung 20 liefert stets einen Entladestrom I2 zur Entladung des Kondensators C. Eine über dem Kondensator C anliegende 25 Spannung U_c bildet die an der Ausgangsklemme AK anliegende Ausgangsspannung U_c , bzw. das Ansteuerpotential, für den Leistungstransistor T.

Die Ansteuerschaltung 10 ist derart ausgebildet, daß sie abhängig von dem ersten Ansteuersignal IN den Kondensator C 30 auflädt oder entlädt, das heißt das Vorzeichen des Stromes I1 ist von dem ersten Ansteuersignal IN abhängig. Wird der Kondensator C über die Lade- und Entladeschaltung 10 aufgeladen, so steigt die Spannung U_c über dem Kondensator C an und der 35 Leistungstransistor T wird leitend angesteuert, wodurch die Primärspule L1 Energie aufnimmt. Wird der Kondensator C über die Lade- und Entladeschaltung 10 entladen, so sinkt die

Spannung U_c über dem Kondensator C, wodurch der Leistungs-
transistor T sperrt. Der Entladestrom der Lade- und Entlade-
schaltung 10 und die Kapazität des Kondensators C sind dabei
so aufeinander abgestimmt, daß der Leistungstransistor T so
5 schnell sperrt, daß eine ausreichend hohe Spannung an der
Primärspule L1 induziert wird, um an der Zündkerze an der Se-
kundärseite einen Zündfunken zu erzeugen.

Die Lade- und Entladeschaltung 10 ist weiterhin derart aus-
10 gestaltet, daß sie bei Vorliegen eines Störfalles, welcher
durch einen vorgegebenen Pegel des zweiten Ansteuersignals
SSD angezeigt wird, keinen Strom, das heißt weder einen Lade-
strom noch einen Entladestrom, für den Kondensator C zur Ver-
fügung stellt. Der bereits aufgeladene Kondensator C wird
15 dann über die Entladeschaltung 20 mit dem Ladestrom I2 entla-
den, wobei der Entladestrom I2 und die Kapazität des Konden-
sators C so aufeinander abgestimmt sind, daß durch die Entla-
dung des Kondensators der Leistungstransistor T so langsam
vom leitenden in den sperrenden Zustand überführt wird, daß
20 keine ausreichend hohe Spannung an der Primärspule induziert
wird, um an der Sekundärseite des Transformators TR einen
Zündfunken in der daran angeschlossenen Zündkerze Z zu erzeu-
gen. Der Entladestrom I2 ist betragsmäßig wesentlich kleiner
als der während des störungsfreien Betriebs zur Verfügung ge-
25 stellte Ladestrom oder der Entladestrom der Lade- und Entla-
deschaltung 10. Die Entladeschaltung 20 entlädt den Kondensa-
tor C vorzugsweise permanent, wobei der Entladestrom I2 so
klein gegenüber dem Lade- bzw. Entladestrom I1 ist, daß sich
die Entladung nicht auf die Funktionsweise der Schaltungsan-
30 ordnung 1 während des störungsfreien Betriebs auswirkt.

Figur 3 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen
Schaltungsanordnung gemäß Figur 1, bei welcher die Lade- und
Entladeschaltung 10 und die Entladeschaltung 20 detailliert
35 gemäß einer Ausführungsform dargestellt sind. Des weiteren
ist ein Operationsverstärker OPV zwischen den Kondensator C,
bzw. die Lade- und Entladeschaltung 10 und die Entladeschal-

tung 20, und die Ausgangsklemme AK geschaltet, wobei der Operationsverstärker OPV eine Verstärkung von 1 aufweist. Aufgabe des Operationsverstärkers OPV ist es, die über dem Kondensator C anliegende Spannung U_c trotz eventueller Störungen bedingt durch parasitäre Effekte an der Ausgangsklemme AK zur Verfügung zu stellen und insbesondere zu verhindern, daß das Potential an dem Gate-Anschluß G des angeschlossenen Leistungstransistors T größer wird als die Spannung U_c über dem Kondensator C.

10

Die Lade- und Entladeschaltung 10 weist einen ersten Transistor T1 und einen zweiten Transistor T2 auf, die zwischen einem ersten Versorgungspotential V2 und einem zweiten Versorgungspotential GND, im vorliegenden Fall Masse, verschaltet sind. Der erste Transistor T1 ist im vorliegenden Fall als p-Kanal-Feldeffekttransistor und der zweite Transistor T2 ist als n-Kanal-Feldeffekttransistor ausgebildet. Die Lade- und Entladeschaltung 12 weist weiterhin eine Ansteuerschaltung 10 auf, der das erste Ansteuersignal IN und das zweite Ansteuersignal SSD zugeführt sind. Ein erster Ausgang OUT1 der Ansteuerschaltung 12 ist an einen Gate-Anschluß G des ersten Transistors T1 angeschlossen und ein zweiter Ausgang OUT2 der Ansteuerschaltung 12 ist an einen Gate-Anschluß G des zweiten Transistors T2 angeschlossen. Die Ansteuerschaltung 12 ist derart ausgestaltet, daß sie bei störungsfreiem Betrieb den ersten und zweiten Transistor T1, T2 abhängig von dem Eingangssignal IN komplementär ansteuert, das heißt nur einen der beiden Transistoren T1, T2 leitend ansteuert und den jeweils anderen Transistor T1, T2 sperrt. Wird dabei der erste Transistor T1 leitend angesteuert, so wird der Kondensator C über diesen Transistor T1 aufgeladen bis die Kondensatorspannung U_c annäherungsweise den Wert des ersten Versorgungspotentials V2 annimmt. Dieses Versorgungspotential V2 ist dabei so gewählt, daß es ausreichend groß ist, um den Leistungstransistor T leitend anzusteuern. Leitet der zweite Transistor T2 angesteuert durch die Ansteuerschaltung 12, so wird der Kondensator C über den zweiten Transistor T2 nach

Bezugspotential GND entladen. Bei Auftreten eines Störfalles, der durch einen geeigneten Pegel des zweiten Ansteuersignals SSD signalisiert ist, sperrt die Ansteuerschaltung 12 beide Transistoren T1, T2.

5

Die Entladeschaltung 20 weist in dem Ausführungsbeispiel einen Bipolartransistor T3 auf, dessen Basis B über die Anschlußklemme A2 an den Kondensator C angeschlossen ist und dessen Kollektor-Emitter-Strecke K-E in Reihe zu einer Stromquelle Iq zwischen einem weiteren Versorgungspotential V1 und Bezugspotential GND verschaltet ist. Der Entladestrom I1 entspricht bei dieser Entladeschaltung 20 dem Basis-Emitter-Strom Ibe des Bipolartransistors T3. Der Kollektor-Emitter-Strom Ice des Bipolartransistors T3 entspricht dem durch die Stromquelle eingeprägten Strom Iq. Ausgehend von der Stromverstärkung β des Bipolartransistors T3, für die gilt: $\beta = I_{ce}/I_{be}$ ist der Entladestrom I1 über die Stromquelle gemäß $I_1 = I_q/\beta$ einstellbar. Mittels einer derartigen Entladeschaltung 20 sind Entladeströme I1 im Nanoampere-Bereich realisierbar.

20

Figur 4 zeigt ein Ausführungsbeispiel einer Ansteuerschaltung 12, welcher das erste Ansteuersignal IN und das zweite Ansteuersignal SSD zugeführt sind und welche Ansteuerpotentiale für den ersten und zweiten Transistor T1, T2 an Ausgängen OUT1, OUT2 zur Verfügung stellt. Die Ansteuerschaltung 12 gemäß Figur 4 ist derart ausgebildet, daß sie den ersten Transistor T1 leitend ansteuert und dass sie den zweiten Transistor T2 sperrt, wenn sich das erste Eingangssignal IN auf einem High-Pegel (1) befindet, und den zweiten Transistor T2 leitend ansteuert und den ersten Transistor T1 sperrt, wenn sich das erste Eingangssignal IN auf einem Low-Pegel (0) befindet, sofern kein Störfall vorliegt, wobei ein Störfall im vorliegenden Fall durch einen High-Pegel des zweiten Eingangssignals SSD repräsentiert ist. Den ersten Transistor T1 leitend anzusteuern bedeutet dabei, einen Low-Pegel an dessen Gate G anzulegen, und ihn zu sperren bedeutet, einen High-Pegel an dessen Gate anzulegen. Den zweiten Transistor T2

35

leitend anzusteuern bedeutet, einen High-Pegel an dessen Gate G anzulegen, und ihn zu sperren bedeutet, einen Low-Pegel an dessen Gate G anzulegen.

- 5 Die Funktionsweise der Ansteuerschaltung 12 gemäß Figur 4 ist anhand der Logiktablelle ersichtlich, aus welcher hervorgeht, daß im störungsfreien Betrieb, wenn sich das zweite Ansteuersignal SSD auf einem Low-Pegel (0) befindet, der erste Transistor T1 über den ersten Ausgang OUT1 leitend und der zweite Transistor T2 über den zweiten Ausgang OUT 2 sperrend angesteuert wird, wenn sich das Eingangssignal IN auf einem High-Pegel (1) befindet. Entsprechend wird der zweite Transistor T2 am zweiten Ausgang OUT2 leitend angesteuert und der erste Transistor T1 am ersten Ausgang OUT1 sperrend angesteuert, wenn sich das erste Eingangssignal IN auf einem Low-Pegel (0) befindet.

- 20 Befindet sich das zweite Ansteuersignal SSD auf einem High-Pegel, welcher einen Störfall repräsentiert, so werden sowohl der erste Transistor T1 am ersten Ausgang OUT1 als auch der zweite Transistor T2 am zweiten Ausgang OUT2 gesperrt.

- 25 Eine Ansteuerschaltung 12, welche eine derartige Funktion realisiert, weist einen ersten und zweiten Inverter INV1, INV2 auf, welche ein invertiertes erstes Ansteuersignal IN und ein invertiertes zweites Ansteuersignal SSD einem UND-Glied UND zuführen, dessen Ausgang an den zweiten Ausgang OUT2 zur Ansteuerung des zweiten Transistors T2 angeschlossen ist. Das Ausgangssignal des Und-Glieds UND wird weiterhin einem Oder-Glied ODER zugeführt, dessen weiterem Eingang das zweite Ansteuersignal SSD zugeführt ist und dessen Ausgang an den ersten Ausgang OUT1 zur Ansteuerung des ersten Transistors T1 angeschlossen ist.

- 35 Die Ansteuerschaltung 12 gemäß Figur 4 stellt somit sicher, daß der Kondensator C nach Maßgabe des ersten Eingangssignals IN über die Anordnung aus dem ersten und zweiten Schalter T1,

T2 geladen oder entladen wird, sofern kein Störfall vorliegt. Bei Vorliegen eines Störfalles werden die beiden Transistoren T1, T2 nach Maßgabe des zweiten Ansteuersignals SSD gesperrt, wodurch die geladene Kapazität C in diesem Fall ausschließ-
5 lich über die Entladeschaltung 20 entladen wird.

Figur 5 zeigt ein weiteres Ausführungsbeispiel der Entladeschaltung 20, bei welcher die Stromquelle Iq mittels eines Stromspiegels bestehend aus einem ersten Feldeffekttransistor
10 T21, einem zweiten Feldeffekttransistor T22 und einem weiteren Feldeffekttransistor T23 realisiert ist. Der Feldeffekttransistor T23 ist dabei in Reihe zu dem Feldeffekttransistor T22 zwischen einem Versorgungspotential V1 und Bezugspotential GND geschaltet, wobei einem Gate-Anschluß G des Feldeffekt-
15 transistors T23 ein konstantes Ansteuerpotential V3 zugeführt ist. Der erste und zweite Feldeffekttransistor T21, T22 sind in dem Ausführungsbeispiel als n-Kanal-Feldeffekttransistoren ausgebildet, während der weitere Feldeffekttransistor T23 als p-Kanal-Feldeffekttransistor ausgebildet ist.

20 Die Funktionsweise der erfindungsgemäßen Schaltungsanordnung wird nachfolgend unter Bezugnahme auf Figur 6 erläutert. Figur 6 zeigt den zeitlichen Verlauf ausgewählter in den zuvor beschriebenen Figuren eingezeichneten Signale über der Zeit.
25 Dabei ist in Figur 6a der zeitliche Verlauf des ersten Ansteuersignals IN, in Figur 6b der zeitliche Verlauf des zweiten Ansteuersignals SSD, in Figur 6c der zeitliche Verlauf des Emitter-Stroms Ice des Leistungstransistors T und in Figur 6d der zeitliche Verlauf der Kollektor-Emitter-Spannung
30 Vce des Leistungstransistors T dargestellt.

Während des zunächst störungsfreien Betriebs befindet sich das zweite Ansteuersignal SSD auf einem Low-Pegel. Wechselt das erste Ansteuersignal IN dabei von einem Low-Pegel auf einen High-Pegel, so wird der erste Transistor T1 leitend ange-
35 steuert und der zweite Transistor T2 wird gesperrt, um den Kondensator C aufzuladen. Die Ausgangsspannung Uc, die als

- Gate-Emitter-Spannung des Leistungstransistors T dient, nimmt dabei annäherungsweise den Wert des ersten Versorgungspotentials V_2 an, wodurch der Leistungstransistor T leitet. Die Primärspule L1 wird dann von einem Strom durchflossen, welcher proportional zu der anliegenden Versorgungsspannung über der Zeit ansteigt. Die Kollektor-Emitter-Spannung des Leistungstransistors T sinkt mit Einschalten des Leistungstransistors T auf einen niedrigen Wert ab.
- Der Signalverlauf gemäß Figur 6 wurde bei einer erfindungsge-
mäßigen Schaltungsanordnung ermittelt, an welche ein Leistungs-
transistor angeschlossen wurde, welcher eine Laststrombegren-
zungsschaltung aufweist. Derartige Strombegrenzungsschal-
tungsanordnungen sind bei intelligenten Leistungstransistoren
Stand der Technik, eine Beschreibung von deren Funktionsweise
erübrigt sich daher. Aufgabe dieser Laststrombegrenzungs-
schaltung ist es, wie insbesondere der zeitliche Verlauf des
Emitter-Stroms I_{ce} zeigt, den Strom durch den Leistungstran-
sistor T zu begrenzen, so daß der Laststrom bei dem dem zeit-
lichen Verlauf gemäß Figur 6 zugrundeliegenden Leistungstran-
sistor bei Erreichen eines Maximalwertes nicht mehr weiter
ansteigt. Mit Einsetzen der Spannungsbegrenzung kommt es zu
einem kurzen Spannungsimpuls bei der Kollektor-Emitter-
Spannung, die allerdings nicht ausreicht, um einen Zündfunken
an der Sekundärseite des Transformators TR zu erzeugen. Die
Kollektor-Emitter-Spannung V_{ce} bleibt dann auf einem Span-
nungspegel, der höher als vor Einsetzen der Spannungsbegren-
zung ist.
- Bei dem Beispiel gemäß Figur 6 nimmt das erste Eingangssignal
IN zum Zeitpunkt t_0 einen oberen Pegel an und sinkt zum Zeit-
punkt t_1 wieder auf den unteren Pegel ab. Mit Absinken des
ersten Eingangssignals IN auf den unteren Signalpegel wird
der erste Transistor T1 gesperrt und der zweite Transistor T2
leitend, wodurch der Kondensator C sehr schnell nach dem Be-
zugspotential GND entladen wird und die Ausgangsspannung U_c
annäherungsweise den Wert 0 annimmt. Der Leistungstransistor

T sperrt dadurch sehr schnell, was anhand der abrupten Änderung des Emitter-Stroms I_{ce} in Figur 6c zum Zeitpunkt t_1 ersichtlich ist. Dadurch wird in der Primärspule L_1 eine hohe Spannung induziert, die ausreichend ist, um an der Sekundärseite einen Zündfunken in der Zündkerze Z zu erzeugen.

Zum Zeitpunkt t_2 steigt das erste Ansteuersignal IN wieder auf den oberen Signalpegel an, um den Kondensator C über den ersten Transistor T_1 aufzuladen. Allerdings tritt zum Zeitpunkt t_3 ein Störfall auf, wodurch das zweite Ansteuersignal SSD einen oberen Signalpegel annimmt. Der erste und zweite Transistor T_1 , T_2 werden zum Zeitpunkt t_3 beide durch die Ansteuerschaltung 12 gesperrt. Ab dem Zeitpunkt t_3 wird der Kondensator C langsam über die Entladeschaltung 20 entladen, wobei der Leistungstransistor T , wie aus Figur 6c ersichtlich ist, leitend bleibt, bis die Spannung U_c bedingt durch die Entladung auf einen Wert abgesunken ist, bei welchem der Transistor T zu sperren beginnt. Der Emitter-Strom I_{ce} erreicht im vorliegenden Fall noch den Maximalwert, bevor der Transistor zu sperren beginnt. Figur 6c zeigt die langsame Abnahme des Emitter-Stroms innerhalb des Zeitraums, in dem der Leistungstransistor in den sperrenden Zustand überführt wird. Die Kollektor-Emitter-Spannung des Leistungstransistors steigt dabei leicht an. Die beim langsamen Abschalten des Leistungstransistors induzierte Spannung ist nicht ausreichend, um einen Zündfunken an der Sekundärseite zu erzeugen.

Patentansprüche

1. Schaltungsanordnung zur Ansteuerung eines Halbleiter-schaltelements, die folgende Merkmale aufweist:

5

- eine Ausgangsklemme (AK) zum Anschließen eines Halbleiter-schaltelements (T),

10

- eine kapazitive Ladungsspeicheranordnung (C), die an die Ausgangsklemme (AK) gekoppelt ist,

15

- eine Lade- und Entladeschaltung (10) mit wenigstens einem Eingang (E1, E2) zur Zuführung wenigstens eines Ansteuersignals (IN, SSD) und einem Ausgang (A1), der an die kapazitive Ladungsspeicheranordnung (C) angeschlossen ist, wobei abhängig von dem wenigstens einen Ansteuersignal (IN, SSD) am Ausgang (A1) ein Ladestrom (I1) oder ein Entladestrom (I1) für die kapazitive Ladungsspeicheranordnung (C) zur Verfügung steht,

20

- eine Entladeschaltung (20) mit einer Anschlußklemme (A2), die an die kapazitive Ladungsspeicheranordnung (C) angeschlossen ist und die einen Entladestrom (I2) für die Ladungsspeicheranordnung (C) bereitstellt.

25

2. Schaltungsanordnung nach Anspruch 1, bei der die Entladeschaltung (20) einen Entladestrom bereitstellt, der geringer als der Entladestrom der Lade- und Entladeschaltung (10) ist.

30

3. Schaltungsanordnung nach Anspruch 2, bei der die Entladeschaltung (20) einen wenigstens annäherungsweise konstanten Entladestrom (I2) bereitstellt.

35

4. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die Entladeschaltung (20) einen Bipolartransistor (T3) und eine Stromquelle (Iq) aufweist, wobei die Basis (B) des Bipolartransistors (T3) an die kapazitive La-

dungsspeicheranordnung (C) angeschlossen ist und wobei die Stromquelle (Iq) an den Emitter (E) des Bipolartransistors (T3) angeschlossen ist.

- 5 5. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die Lade- und Entladeschaltung (10) einen ersten und einen zweiten steuerbaren Schalter (T1, T2) mit jeweils einem Steuereingang (G) und eine Ansteuerschaltung (12) aufweist, wobei der erste und zweite Schalter (T1, T2) in Reihe
10 zwischen einem ersten und zweiten Versorgungspotential (V2, GND) verschaltet und jeweils an die Ausgangsklemme (A1) der Lade- und Entladeschaltung (10) angeschlossen sind und wobei die Ansteuerschaltung (12) an die Steuereingänge (G) der Schalter (T1, T2) angeschlossen ist.
- 15 6. Schaltungsanordnung nach Anspruch 5, bei der die Ansteuerschaltung eine erste Ausgangsklemme, die an den Steuereingang des ersten Schalters angeschlossen ist, und eine zweite Ausgangsklemme, die an den Steuereingang des zweiten Schalters
20 angeschlossen ist, aufweist.
7. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die Ansteuerschaltung (12) abhängig von dem ersten Ansteuersignal (IN) einen der beiden Schalter (T1; T2)
25 leitend und den jeweils anderen Schalter (T2; T1) sperrend ansteuert.
8. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die Ansteuerschaltung eine zweite Eingangsklemme
30 (E2) zur Zuführung eines zweiten Ansteuersignals (SSD) aufweist, wobei die Ansteuerschaltung (12) die Schalter (T1, T2) gemeinsam abhängig von dem zweiten Ansteuersignal (SSD) sperrend ansteuert.
- 35 9. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der ein Operationsverstärker (OPV) zwischen die ka-

pazitive Ladungsspeicheranordnung (C) und die Ausgangsklemme (AK) geschaltet ist.

10. Verfahren zur Ansteuerung eines Halbleiterschaltelements
5 mit einem Steuereingang und einer Laststrecke, die in Reihe
zu einer Primärspule einer Übertragers geschaltet ist, wobei
eine Zündfunkenerzeugungsanordnung in Reihe zu einer Sekun-
därspule des Übertragers geschaltet ist, wobei das Verfahren
folgende Merkmale aufweist:
- 10 - Anlegen einer Ansteuerspannung an den Steuereingang des
Halbleiterschaltelements, die ausreichend groß ist, um den
Halbleiterschalter leitend anzusteuern,
- 15 - zur Erzeugung eines Zündfunkens Reduzieren der Ansteuer-
spannung des Halbleiterschaltelements, wobei die Änderung der
Ansteuerspannung so schnell erfolgt, dass die über der Last-
strecke induzierte Spannung ausreicht, um in der Zündfunken-
erzeugungsvorrichtung einen Zündfunken zu erzeugen,
- 20 - zur Verhinderung eines Zündfunkens Reduzieren der Ansteuer-
spannung des Halbleiterschaltelements, wobei die Änderung der
Ansteuerspannung so langsam erfolgt, dass die über der Last-
strecke induzierte Spannung nicht ausreicht, um in der Zünd-
25 funkenerzeugungsvorrichtung einen Zündfunken zu erzeugen.

Bezugszeichenliste

	10	Lade- und Entladeschaltung
	12	Ansteuerschaltung
5	20	Entladeschaltung
	A1	Anschlußklemme der Lade- und Entladeschaltung
	A2	Anschlußklemme der Entladeschaltung
	AK	Ausgangsklemme
	C	Kondensator
10	D1, D2	Dioden
	E	Emitter-Anschluß
	E1, E2	Anschlüsse der Schaltungsanordnung
	G	Gate-Anschluß
	GND	Bezugspotential
15	I1	Lade- und Entladestrom
	I2	Entladestrom
	I _{be}	Basis-Emitter-Strom
	I _{ce}	Kollektor-Emitter-Strom
	IN	erstes Ansteuersignal
20	INV1, INV2	Inverter
	I _q	Stromquelle
	K	Kollektor-Anschluß
	L1	Primärspule
	L2	Sekundärspule
25	ODER	ODER-Glied
	OUT1, OUT2	Ausgänge der Ansteuerschaltung
	SSD	zweites Ansteuersignal
	T	Leistungstransistor
	T1, T2	Transistoren
30	T21, T22, T23	Feldeffekttransistoren
	T3	Bipolartransistor
	TR	Transformator
	UND	UND-Glied
	V3	Ansteuerpotential
35	V+	Versorgungspotential
	Z	Zündkerze

Zusammenfassung

Schaltungsanordnung zur Ansteuerung eines Halbleiterschalt-
elements

5

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Ansteuerung eines Halbleiterschaltlements, die folgende Merkmale aufweist:

- eine Ausgangsklemme (AK) zum Anschließen eines Halbleiterschaltlements (T),
- eine kapazitive Ladungsspeicheranordnung (C), die an die Ausgangsklemme (AK) gekoppelt ist,
- eine Lade- und Entladeschaltung (10) mit wenigstens einem Eingang (E1, E2) zur Zuführung wenigstens eines Ansteuersignals (IN, SSD) und einem Ausgang (A1), der an die kapazitive Ladungsspeicheranordnung (C) angeschlossen ist, wobei abhängig von dem wenigstens einen Ansteuersignal (IN, SSD) am Ausgang (A1) ein Ladestrom (I1) oder ein Entladestrom (I1) für die kapazitive Ladungsspeicheranordnung (C) zur Verfügung steht,
- eine Entladeschaltung (20) mit einer Anschlußklemme (A2), die an die kapazitive Ladungsspeicheranordnung (C) angeschlossen ist und die einen Entladestrom (I2) für die Ladungsspeicheranordnung (C) bereitstellt.

25

Figur 1

FIG 1 (STAND DER TECHNIK)

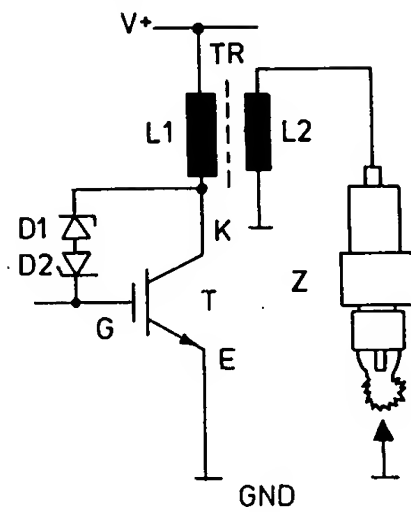


FIG 5

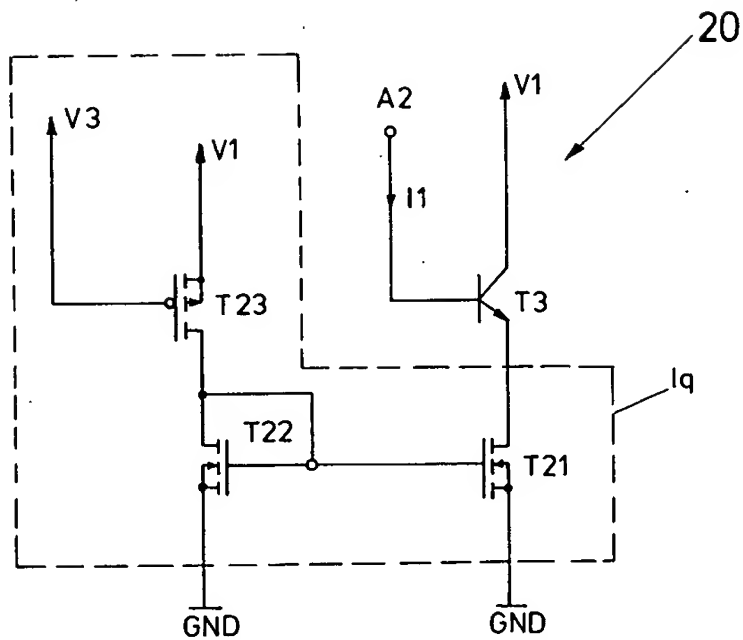


FIG 3

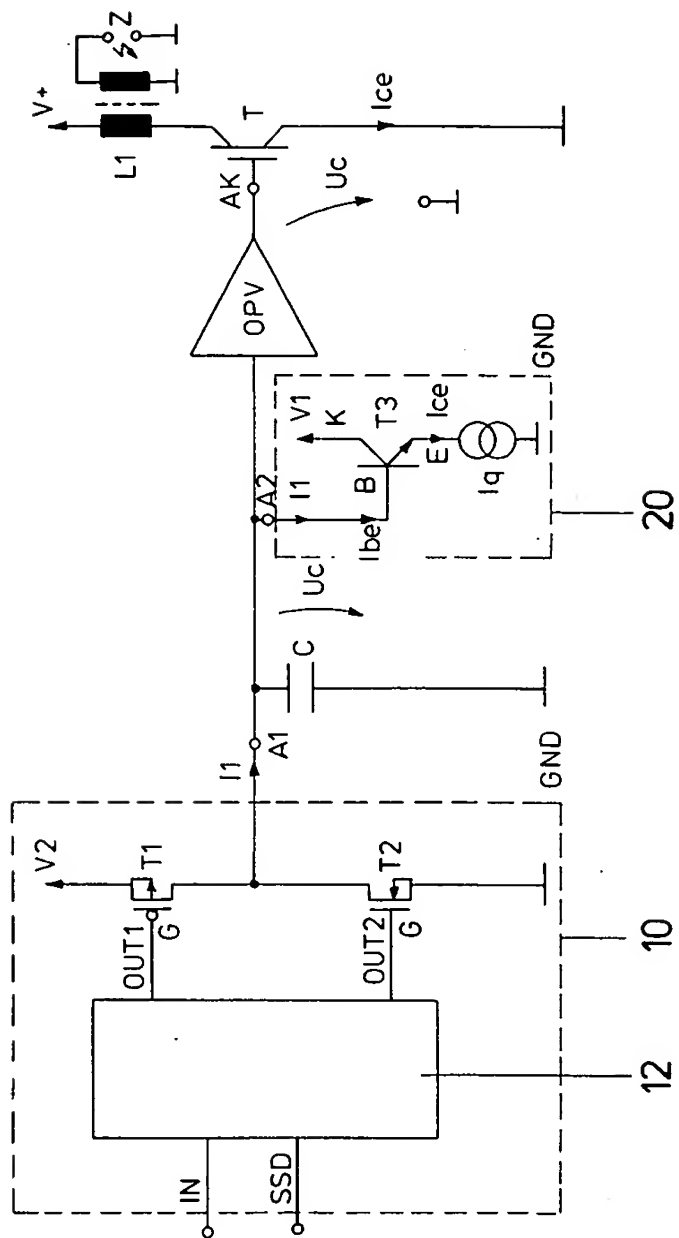
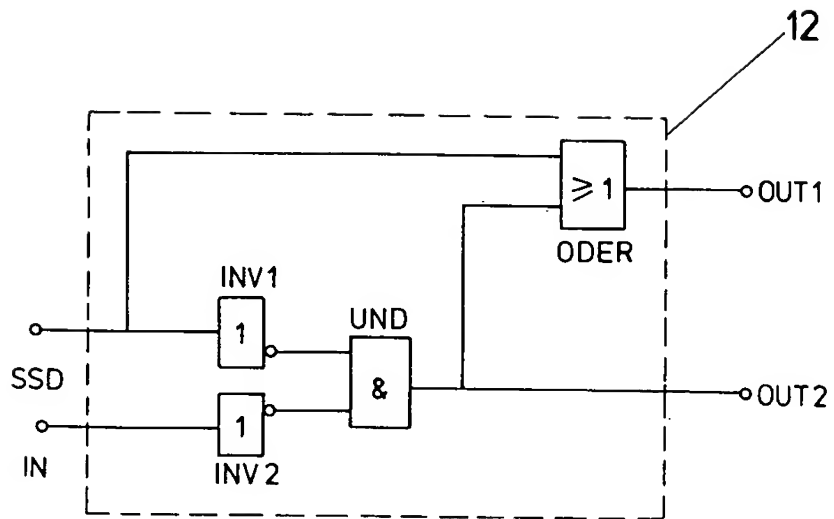


FIG 4



IN	SSD	OUT1	OUT2
1	1	1	0
1	0	0	0
0	1	1	0
0	0	1	1

